

PAT-NO: JP403147375A
DOCUMENT-IDENTIFIER: JP 03147375 A
TITLE: VARIABLE CAPACITY ELEMENT
PUBN-DATE: June 24, 1991

INVENTOR-INFORMATION:
NAME
NOJIRI, HIDETOMO

ASSIGNEE-INFORMATION:
NAME COUNTRY
NISSAN MOTOR CO LTD N/A

APPL-NO: JP01284948
APPL-DATE: November 2, 1989

INT-CL (IPC): H01L029/93, H01L027/04
US-CL-CURRENT: 257/599

ABSTRACT:

PURPOSE: To remove the transverse expansion of a depletion layer so as to secure enough breakdown strength by forming a variable capacity part within an island area whose cross section is inverted triangular and whose inclined side face part is insulated.

CONSTITUTION: A low impurity concentration of N<SP>-</SP>-layer 2 is made on an N<SP>+</SP>-substrate 1 by epitaxial growth, whereby a semiconductor substrate 3 is constituted. Grooves 4 and 5 whose cross sections are rhombic are made a specified interval apart at the main face of a

semiconductor
substrate 3, and by both these grooves 4 and 5, an island
area 6 whose cross
section is inverted triangular is formed. Silicon oxide
films 7 are made
inside the grooves 4 and 5, and further inside them is
filled with
polycrystalline silicon 8. And a high impurity
concentration of
P<SP>+</SP>-type diffusion layer 9 is made at the surface
part of the island
area 6, and by the P<SP>+</SP>-N<SP>-</SP> junction of this
P<SP>+</SP>-type
diffusion layer 9 and an N<SP>-</SP>layer 2, a variable
capacity part is made.
By this constitution, the transverse expansion of a
depletion layer vanishes,
and enough breakdown strength can be secured.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-147375

⑤ Int. Cl.⁵H 01 L 29/93
27/04

識別記号

Z
C

庁内整理番号

7638-5F
7514-5F

④ 公開 平成3年(1991)6月24日

審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 可変容量素子

⑰ 特 願 平1-284948

⑱ 出 願 平1(1989)11月2日

⑲ 発 明 者 野 尻 秀 智 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑳ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

㉑ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

可変容量素子

2. 特許請求の範囲

半導体基板に、結晶面選択エッチングを含むエッチングにより形成された断面逆三角形の領域における傾斜状側面部が絶縁された島状領域を形成し、バイアス電圧に応じて前記半導体基板の深さ方向に広がる空乏層を可変容量として利用する可変容量部を前記島状領域内に形成してなることを特徴とする可変容量素子。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、バイアス電圧に応じて半導体内に広がる空乏層幅を可変容量として利用する可変容量素子に関する。

(従来の技術)

可変容量素子の第1の従来例としては第10図に示すような可変容量ダイオードがある(特開昭

56-26477号公報)。この従来例は、高濃度N型層41の上に $1 \times 10^{14} / \text{cm}^3$ 程度の低濃度エピタキシャル層42を有する半導体基板43が準備され、その半導体基板43の主面に、まずP型の不純物が選択的に多量にドーブされて、所要面積で且つ比較的浅いP⁺領域44が形成されている(同図(a))。P⁺領域44中には、領域を狭めて例えばリンイオンをイオン注入することにより、P⁺領域44よりも深いN型拡散層45が形成されている(同図(b))。次いで、N型拡散層45よりも領域を狭めて同様にリンイオンをイオン注入することにより、そのN型拡散層45よりもさらに深いN型拡散層46が形成されている。さらに、N型拡散層46よりも領域を狭めてリンイオンをイオン注入することにより、N型拡散層46よりも深いN型拡散層47が形成されている。以上のような処理が順次繰返されて同図(c)に示すような拡散層断面を有する構造が造られている。最後に、酸化膜48、電極49、50及び表面保護膜51が形成されて可変容量ダイオードが完成

されている(同図(d))。

このような構造に形成された可変容量ダイオードは、 P^+ 領域44とN型拡散層45との高い濃度差を持つPN接合面は大きく、N型拡散層46、47が深くなるに従いPN接合面は低濃度差となり、且つ小面積となっている。従って、可変容量ダイオードに低い逆バイアス電圧を印加したときは、PN接合面が大きく且つN型拡散層45は、他のN型拡散層46、47に比べて濃度が高いため、空乏層が拡がらず高い容量値が得られる。また、高い逆バイアス電圧を印加したときは、PN接合面が小さく且つN型不純物濃度が低いため、空乏層が大きく拡がり、容量値は非常に小さくなる。

以上のことから、この可変容量ダイオードのC-V特性は、第11図に示すように、直線状の急激な容量変化比を持つ特性を示すことになる。

しかし、第1の従来例の可変容量ダイオードは、所望の拡散層断面形状を得るために複数回の拡散工程を必要とするため、製造プロセスが非常に複

は周辺部で決められ、十分な耐圧がとれなくなってしまう。

これに対処するようにした第3の従来例として、第13図に示すような可変容量ダイオードがある。この従来例では、 P^+ 層59が、拡散によりN型層60よりも広い面積に形成され、その周辺部cがN⁻層53に形成されるようになっている。この場合には、接合の周辺部cは P^+ N⁻接合となり、耐圧は中央部bの P^+ N接合で決まるようになる。このような構造のダイオードに逆バイアス電圧を印加すると、中央部の P^+ N接合の空乏層dは主としてN型層60側に形成され、 P^+ N⁻接合の空乏層eは主としてN⁻層53側に形成されるようになる。このとき、本来の P^+ N接合による空乏層dだけが容量に寄与するのではなく、周辺部の P^+ N⁻接合による空乏層eも容量に影響を与える。このため、十分な容量変化幅がとれなくなるという問題が生じる。また、N⁻層53は不純物濃度が低いため、周辺部の空乏層eはN型層60の空乏層dよりも拡がりが大きく、先に

難となり、製造コストが上り、また歩留り低下を引起して現実性に乏しい。

これに対し、第2の従来例として第12図に示すようなプレーナ構造の可変容量ダイオードがある。高濃度の N^+ 層52の上に、エピタキシャル成長により低濃度のN⁻層53が形成されて半導体基板54が構成されている。N⁻層53にはそれよりも高濃度のN型層55が拡散により形成され、さらにN型層55内に高濃度の P^+ 層56が拡散により形成されている。 P^+ 層56の上には金属電極57が形成されている。58は保護膜である。

この可変容量ダイオードの逆バイアス時の耐圧は、N型層55と P^+ 層56により形成される P^+ N接合で決まる。N型層55は拡散により形成されているので、半導体基板54の表面近くでは濃度が高いが深くなるに従い低濃度になる。従って P^+ N接合の周辺部aでは P^+ N⁻接合になってしまう。そして周辺部aでは接合の中央部bに比べて電界が強くなるため、ダイオードの耐圧

N⁻層52に到達してしまう。これは容量変化比を悪くするだけでなく、耐圧も低下させてしまう。そして、これを防止するため、N⁻層53の厚みを増すと、直列抵抗が増大して可変容量ダイオードのQを低下させてしまうことになる。

さらに、第14図は、可変容量ダイオードをメサ型のダイオード構造とした第4の従来例を示している。この従来例では、N型層71と P^+ 層72による P^+ N接合の周辺部を除去することによって、周辺部に起因する耐圧低下及び容量変化幅の低下を防止するようにしている。しかし、メサ型に加工したのち、その周辺のメサ面の保護と素子の信頼性向上のため、保護膜73を形成しなければならない。可変容量ダイオードでは空乏層の拡がりが高濃度不純物濃度に大きく依存するため、特に P^+ 層72の拡散を細かく制御している。従って、保護膜73は熱酸化法等の高温処理にて形成すると、拡散プロファイルが変化するため、採用できず素子の信頼性を高める上での問題がある。

以上の問題を解決するようにした第5の従来例

として第15図に示すようなものがある(特開昭63-15476号公報)。この従来例では、 N^+ 層74上に N^- 層75、 N 層76、 P^+ 層77が順に形成された半導体基板78中に、反応性イオンエッチング等により、複数の溝79、80が N^+ 層74に至る深さに形成されこの溝79、80の内面に酸化膜81が形成されて、空乏層の横方向への拡がり防止されている。しかし、この従来例では、素子の特性や素子間のばらつきは、溝79、80の加工精度で決まり、一般にこのような溝79、80は反応性イオンエッチングで形成されるが、寸法シフト量や溝79、80の垂直性精度等が溝79、80が深くなるに従い十分制御することが困難となるため、特性のそろった素子を製造することが困難であるという問題があった。従って、製造後に選別を十分に行う必要があり、それに伴いコスト高になっていた。(発明が解決しようとする課題)

第1の従来例は、所望の拡散層断面形状を得るために複数回の拡散工程を必要とするため、製造

きが大きくなり、歩留りが低下してコスト高になるという問題があった。

そこで、この発明は、十分な耐圧を確保することができるとともに小さなバイアス電圧範囲で大きな容量変化幅を得ることができ、また高い加工精度を得ることができて特性のばらつきが小さく、さらに信頼性を向上させることのできる可変容量素子を提供することを目的とする。

〔発明の構成〕

(課題を解決するための手段)

この発明は上記課題を解決するために、半導体基板に、結晶面選択エッチングを含むエッチングにより形成された断面逆三角形の領域における傾斜状側面部が絶縁された島状領域を形成し、バイアス電圧に応じて前記半導体基板の深さ方向に広がる空乏層を可変容量として利用する可変容量部を前記島状領域内に形成してなることを要旨とする。

(作用)

可変容量部が、断面逆三角形で傾斜状側面部が

プロセスが非常に複雑となり、製造コストが止り、また歩留り低下を引起して現実性に乏しいという問題があった。

第2の従来例では、ダイオードを構成する P^+ N 接合の周辺部が P^+ N^+ 接合となって十分な耐圧がとれないという問題があった。

この耐圧の問題を解決するようにした第3の従来例では、周辺部の P^+ N^- 接合による空乏層が容量に影響して十分な容量変化幅がとれないという問題があった。

耐圧低下及び容量変化幅の低下を防止するようにしたメサ型構造の第4の従来例では、保護膜を熱酸化法等の高温処理で形成すると、特に P^+ 層の拡散プロファイルが変化するため、これを採用することができず、素子の信頼性を高める上で問題があった。

また、反応性イオンエッチングにより複数の溝を形成して空乏層の横方向への拡がり防止するようにした第5の従来例では、溝の加工精度を十分制御することが困難となるため、特性のばらつ

絶縁された島状領域内に形成されているので、空乏層の横方向の拡がりがなく十分な耐圧が確保される。また、高逆バイアス電圧になるに従い空乏層はより大きく縦方向に拡がって小さなバイアス電圧範囲で大きな容量変化幅が得られ、且つC-V特性がより一層直線に近づく。結晶面選択エッチングは高い加工精度を得ることができるので、島状領域内に作り込まれた可変容量部の特性が設計値に対して極めて良好に一致し、且つばらつきが小さくなる。さらに、島状領域の絶縁処理は、可変容量部を作り込む前に熱酸化等の高温処理で行うことができるので、高いプロセス精度が得られるとともに素子の信頼性が向上する。

(実施例)

以下、この発明の実施例を図面に基づいて説明する。

第1図ないし第3図は、この発明の第1実施例を示す図である。

まず、第1図を用いて、可変容量素子の構成を説明すると、 N^+ 基板1の上にエピタキシャル成

長により低不純物濃度のN⁻層2が形成されて半導体基板3が構成されている。半導体基板3の主面には、断面が菱形状の溝4、5が所要間隔をおいて形成され、この両溝4、5により、断面逆三角形の島状領域6が形成されている。溝4、5の内面には酸化シリコン膜7が形成され、さらにその内部には、多結晶シリコン8が埋込まれている。上記の酸化シリコン膜7により、島状領域6の傾斜側面部は他の領域から絶縁されている。

そして、島状領域6の表面部に高不純物濃度のP⁺拡散層9が形成され、このP⁺拡散層9とN⁻層2とのP⁺N⁻接合により、可変容量部が形成されている。P⁺拡散層9の表面部及びN⁺基板1の裏面部には、それぞれ電極11、12が形成されている。13は酸化シリコン膜、14は表面保護用のPSG膜である。

次いで、第2図を用いて、製造方法の一例を説明することにより、その構成をさらに詳述する。なお、以下の説明において、(a)~(f)の各項目記号は、第2図の(a)~(f)のそれぞれに対応する。

コン膜7を約5000Åの厚さに形成する。次いで減圧CVDにより、多結晶シリコン8を2μm以上堆積することによって溝4、5の少なくとも上部を埋込む。

(e) 飽水ヒドラジンをエッチング液とするシリコンエッチングにより多結晶シリコン8をエッチバックし表面を平坦化する。次いで、表面を酸化して約5000Åの酸化シリコン膜13を形成し、さらにフォトリソグラフィにて酸化シリコン膜13をパターニングしてから、例えばボロンを不純物とする不純物拡散法及び熱処理によって島状領域6の表面部に深さ3μmの高不純物濃度のP⁺拡散層9を形成する。

(f) 酸化した後、配線コンタクト用の孔開けを行い、真空蒸着により、Alを形成し、パターニングを行うことによって、P⁺拡散層9の上に電極(配線層)11を形成する。また、N⁺基板1の裏面には、Al、Ni、Agを順に蒸着して電極12を形成する。さらに、表面部には、CVD法により、表面保護用のPSG膜14を約1μm

(a) (100)面のシリコンN⁺基板1を準備し、その上に低い不純物濃度で約8μm厚さのN⁻層2を通常のエピタキシャル成長により形成して半導体基板3とし、その主面に熱酸化法により約1μm厚さの酸化シリコン膜15を形成する。

(b) フォトリソグラフィにより酸化シリコン膜15をパターニングし、これをマスクにして反応性イオンエッチングにより、例えば幅3μm、深さ16μmの2つの垂直の溝16、17を、互いの端部間の距離が14μmとなるように形成する。

(c) 溝16、17の内面をKOH水溶液のエッチング液を用いて結晶面選択エッチングを行う。シリコンに結晶面選択エッチングを施すと、(111)面で著しくエッチレートが遅くなるので、(111)面で囲まれた断面菱形状の溝4、5が形成される。このとき、半導体基板3の表面に対する溝4、5内面の傾斜角は54.7°である。この両溝4、5により、断面逆三角形の島状領域6が形成される。

(d) 熱酸化により溝4、5の内面に、酸化シリ

コンの厚さに形成し、最後に外部配線引出し用のパッド18の開口を行う。

なお、この実施例では(100)面の半導体基板を用いているので、前述したように、溝4、5内面の傾斜角は54.7°になるが、必要に応じて他の結晶方位の半導体基板、例えば(110)面等の半導体基板を用いることも可能である。このときの溝4、5内面の傾斜角は36.26°となる。

次に作用を説明する。

前述したように、例えば前記第12図に示したような一般的なプレーナ構造のP⁺Nダイオードでは、逆バイアス電圧時の空乏層はP⁺N接合直下のみならず横方向にも拡がり、これによって逆バイアス電圧が高いほど空乏層端のN型基板との接合面積は増大する。このため、高逆バイアス時には容量変化が緩慢になってしまう。ダイオードの直列抵抗を低く且つ耐圧を高く保ち、容量変化幅を大きくとるためには、空乏層の横方向への拡がり防止が必要がある。また、C-V特性を

直線に近づけるためには空乏層の拡がりや表面から深くなる程先細り形状となるように拡散層の断面形状や濃度勾配を選択する必要がある。

これに対し、この実施例では、反応性イオンエッチングと結晶面選択エッチングによって高精度に形成される断面菱形状の溝4、5により絶縁分離を施すことによって空乏層の横方向への拡がりを抑えている。また、可変容量部が形成された島状領域6は表面から深くなるに従い幅が狭くなる逆三角形の断面形状が実現されているため、逆バイアス電圧が高い程空乏層は横から制限を受け、深さ方向に大きく拡がる。同時に空乏層端の面積も減少するため、容量値は大きく変化する。

第3図は、C-V特性を比較例とともに示している。同図中、A特性線はこの実施例のもの、B特性線は比較例としての従来のプレーナ型の可変容量ダイオード特性である。この実施例のものは、高逆バイアス時の容量変化が、プレーナ型のものに比べてかなり直線に近づき、且つ小さな電圧変化幅で大きな容量変化幅が得られている。

量変化は大きくなる。

第5図ないし第7図には、この発明の第3実施例を示す。

この実施例は、第5図に示すように、断面菱形状の溝が形成されたとき、逆三角形の島状領域61の直下に同時に形成される三角形の島状領域62にもP⁺Nダイオードを形成し、可変容量部を2つのP⁺Nダイオードを対向接続した3端子型として、可変容量ダイオードを構成したものである。このような構造とすることにより、容量可変範囲を大きくとることができ、且つ受信機のチューニング機構等高周波用途に使用した場合、相互変調等の高周波信号特性の改善が得られる。

次いで、第6図を用いて、その製造方法の一例を説明する。

(100)面のP⁺基板23を準備し、これに約5 μ m厚さのN型層24をエピタキシャル成長させる。引き続き約4 μ m厚さのN⁺層25、約7 μ mのN型層26を順次エピタキシャル成長させて半導体基板27を構成する(同図(a))。

次いで、第4図には、この発明の第2実施例を示す。なお、第4図及び後述の各実施例を示す図において、前記第1図及び第2図における部材及び部位等と同一ないし均等のものは、前記と同一符号を以て示し、重複した説明を省略する。

この実施例は、可変容量部にMOS型構造が用いられている。島状領域6の表面にゲート酸化膜21を介してゲート電極22が形成され、このゲート酸化膜21及びゲート電極22によりMOS型構造が構成されている。ゲート酸化膜21は、熱酸化法により厚み約1000Åに形成されている。

この実施例の可変容量素子は上述のように構成されているので、ゲート電極22に負の電圧が加わるように、両電極12、22間に直流電圧を印加すると、ゲート電極22直下のN⁻層中に空乏層が形成され電圧が高くなるに従って深さ方向に拡がる。そして、前記第1実施例の場合と同様に、空乏層の拡がりや断面菱形状の分離溝4、5により制限を受けるため、高電圧印加時においても容

反応性イオンエッチングにより、深さ16 μ m、溝間隔14 μ mの2つの垂直の溝を形成した後、KOH水溶液等を用いた結晶面選択エッチングにより、上記垂直の溝を断面菱形状の溝28、29、31に整形する。これらの溝28、29、31により島状領域61、62が形成される。次いで、反応性イオンエッチング法により、約7 μ mの深さの縦溝32を形成する。酸化処理を施すことによって、各溝28、29、31、32の内面に酸化シリコン膜7を形成して、その内面を絶縁する(同図(b))。

反応性イオンエッチングにより、溝32の底部の酸化シリコン膜7を除去し、続いて減圧CVD法によるモノシランの熱分解により、各溝28、29、31、32を多結晶シリコン8で埋込む。さらに表面上の多結晶シリコン8を除去し平坦化したのち、島状領域61の表面部に不純物熱拡散法によりP⁺拡散層9を形成する(同図(c))。

熱酸化法とフォトリソエッチングにより酸化シリコン膜13を表面に形成し、真空蒸着法により、金

属膜を半導体基板27の表裏に形成する。表面の金属膜をパターニングして電極(配線層)11、33を形成した後、CVD法により表面保護用のPSG膜14を堆積し、これをパターニングして外部配線引出し用の窓を形成して製造工程を終る(同図4)。

製造工程を終えた半導体基板27中には、第7図に示すような等価回路が形成され、端子Dに正の電圧を印加することによって空乏層は半導体基板27の表裏から内部に向かって対称的に広がる。このため、D-E間、D-F間のC-V特性は対称性に優れ、従ってE-F間には容量変化幅の大きなC-V特性が得られる。

また、デバイス形状を決定する断面菱形状の溝28、29、31は、結晶面選択性の非常に優れたアルカリエッチング液を用いて高精度に形成することができるため、半導体基板27内に形成される2つのP⁺Nダイオードの特性は極めて良好に一致する。

さらに、N⁺層25、即ち両ダイオードのカソ

ード電極にバイアスを印加する際のバイアス抵抗は溝32に埋込まれた高低抗多結晶シリコン8をそのまま使用できるので新たに抵抗を作り込む必要がない。

そして、さらに、2つのダイオードは半導体基板27内に縦方向に構成されているので、半導体基板27表面の面積利用効率が非常に高い。即ち、1個分のダイオード面積で2個のダイオードを形成することができ、集積度の向上を図ることができる。

第8図には、この発明の第4実施例を示す。

この実施例は、前記第1実施例(第1図)において、酸化シリコン膜7の厚みを必要に応じて厚くしたものである。同図中、7aは酸化シリコン膜が薄い場合、7bは酸化シリコン膜が厚い場合を示している。

酸化シリコン膜7の厚みが増すにしたがって同図中に示すように、島状領域内下辺fの厚みが増加し、空乏層領域34の形状は、その幅Wと深さdの関係が次第に

$$W \propto 1/d^K \quad \dots (1)$$

となる。ここに、Kは空乏層領域34の形状で決まる値である。通常、空乏層容量Cは、

$$C \propto A \cdot V^{1/n} \quad \dots (2)$$

と表わされる。ここに、Aは接合面積、Vは印加バイアス電圧、nは接合の濃度勾配で決まる値である。したがって、上記(1)、(2)式におけるKとnを適当に選ぶことにより、C-V特性をさらに直線に近付けることが可能となる。

第9図には、この発明の第5実施例を示す。まず、同図(a)は、前記第3実施例の2つのP⁺Nダイオードを対向接続した3端子型の可変容量ダイオードを、半導体基板27中にさらに多数個並設して可変容量ダイオード素子アレイとしたものである。同図(b)中、61~66は、断面菱形状の溝を半導体基板27中に多数個形成することにより構成された逆三角形の島状領域及び三角形の島状領域である。また、35は可変容量ダイオード素子アレイの共通端子である。

前述したように、各島状領域61~66は、加

工精度の高い結晶面選択エッチングにより形成されるため、各島状領域61~66に形成されたダイオード素子の特性ばらつきが非常に小さくなる。従って多段構成の帯域可変フィルタや多数のチューニングセクションを有するフロントエンド等を製作する際のトラッキングエラーを極めて小さくできるため、トラッキング調整を簡素化することができる。

第9図(b)は、断面逆三角形の島状領域67を酸化シリコン膜7により他の領域から完全に分離するようにしたものである。従って周囲の半導体基板領域と島状領域67、或いは島状領域67同士が電気的に絶縁分離されるため、分離特性、特に高周波における寄生容量を十分低くすることができ、また、複数の素子を集積する上で有利な構造となる。

【発明の効果】

以上説明したように、この発明によれば、その構成を、半導体基板に、結晶面選択エッチングを含むエッチングにより形成された断面逆三角形の

領域における傾斜状側面部が絶縁された島状領域を形成し、バイアス電圧に応じて前記半導体基板の深さ方向に広がる空乏層を可変容量として利用する可変容量部を前記島状領域内に形成したため、次のような諸効果が得られる。

即ち、空乏層の横方向の拡がりがなくなっ
て十分な耐圧を確保することができる。また高逆バイ
アス電圧になるに従い空乏層はより大きく縦方向
に拡がって小さなバイアス電圧範囲で大きな容量
変化幅を得ることができ、且つC-V特性をより
一層直線に近づけることができる。結晶面選択エ
ッチングは高い加工精度を得ることができるので、
島状領域内に作り込まれた可変容量部の特性が設
計値に対して極めて良好に一致し、特性のばらつ
きを小さくすることができる。島状領域の絶縁処
理は、可変容量部を作り込む前に熱酸化等の高温
処理で行うことができるので、高いプロセス精度
が得られるとともに素子の信頼性を向上させるこ
とができる。さらに、島状領域を他の領域から完
全に絶縁分離するようにしたときは、分離特性、

3、27：半导体基板、

6、61、62、63、64、65、66：島
狀領域、

7: 酸化シリコン膜（絶縁膜）、

9: 可変容量部としての P^+N -接合を形成する P^+ 拡散層、

21: ゲート酸化膜、

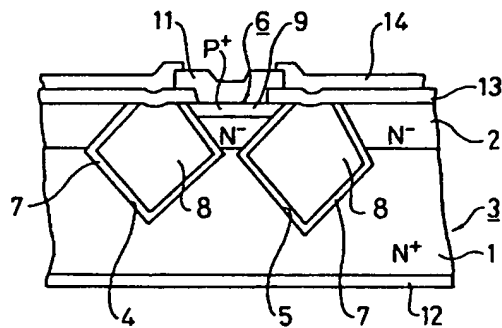
22: ゲート酸化膜とともに可変容量部としてのMOS型構造を構成するゲート電極。

代理人 弁理士 三 好 秀 和

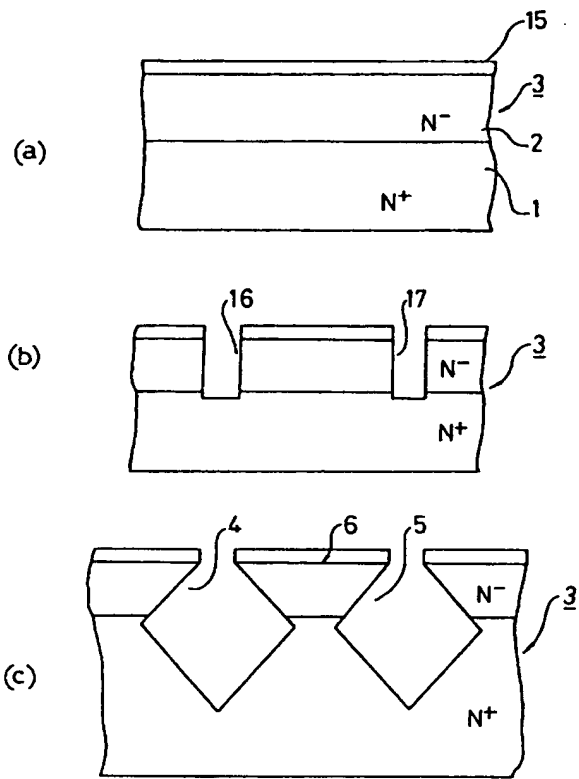
特に高周波における寄生容量を十分に低くすることができ、またこれと同時に複数の素子を集積化する上で有利となる。

4. 図面の簡単な説明

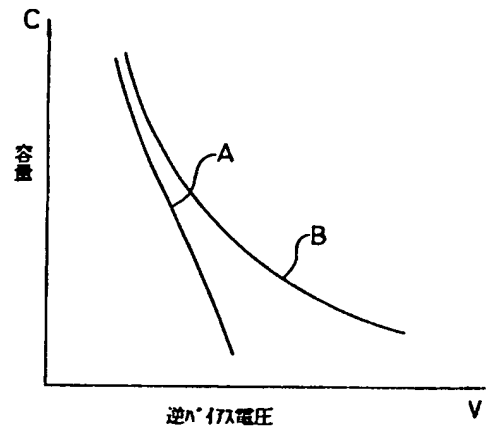
第 1 図ないし第 3 図はこの発明に係る可変容量素子の第 1 実施例を示す図で、第 1 図は縦断面図、第 2 図は製造方法の一例を示す工程図、第 3 図は C-V 特性を比較例とともに示す特性図、第 4 図はこの発明の第 2 実施例を示す縦断面図、第 5 図はこの発明の第 3 実施例を示す要部斜視図、第 6 図は上記第 3 実施例の製造方法の一例を示す工程図、第 7 図は上記第 3 実施例の等価回路を説明するための図、第 8 図はこの発明の第 4 実施例を示す要部縦断面図、第 9 図はこの発明の第 5 実施例を示す図、第 10 図は可変容量素子の第 1 の従来例を示す図、第 11 図は上記第 1 の従来例の C-V 特性を示す特性図、第 12 図は第 2 の従来例を示す縦断面図、第 13 図は第 3 の従来例を示す縦断面図、第 14 図は第 4 の従来例を示す縦断面図、第 15 図は第 5 の従来例を示す縦断面図である。



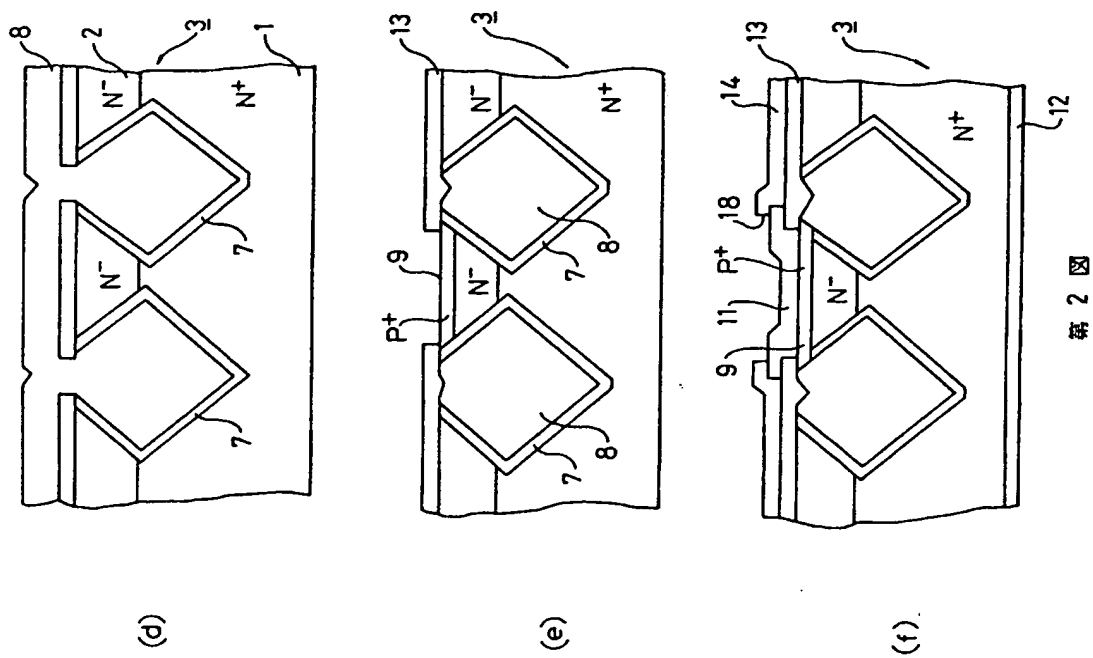
第 1 区



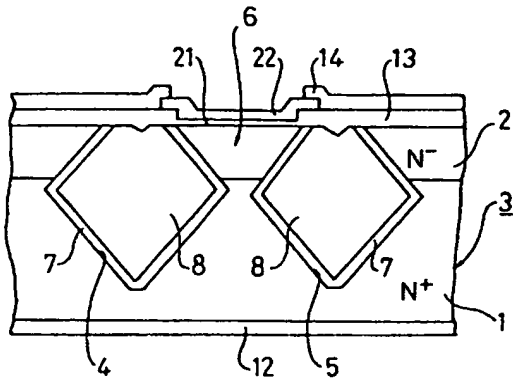
第 2 図



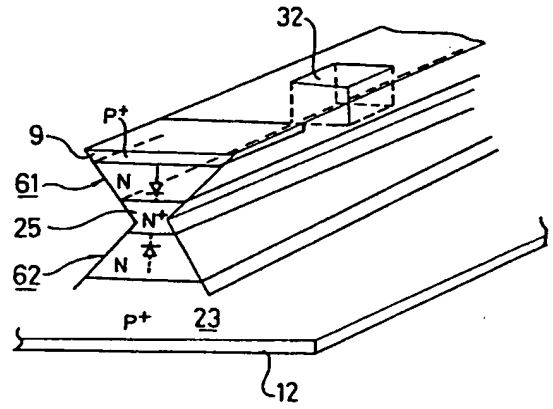
第 3 図



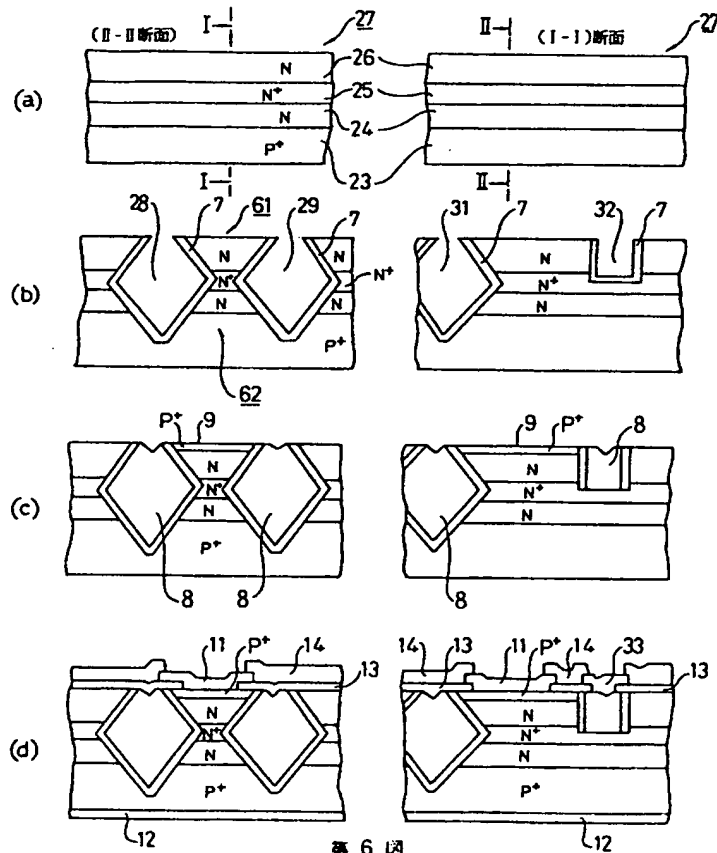
第 2 図



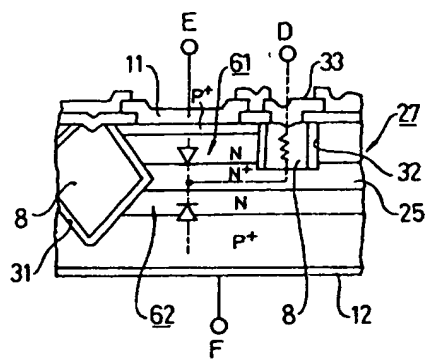
第 4 図



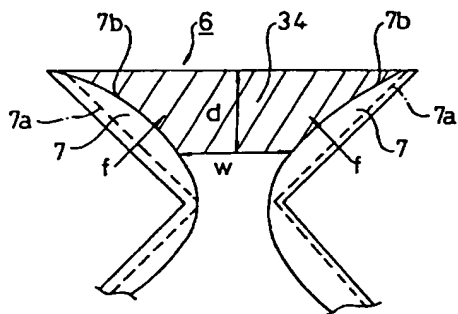
第 5 図



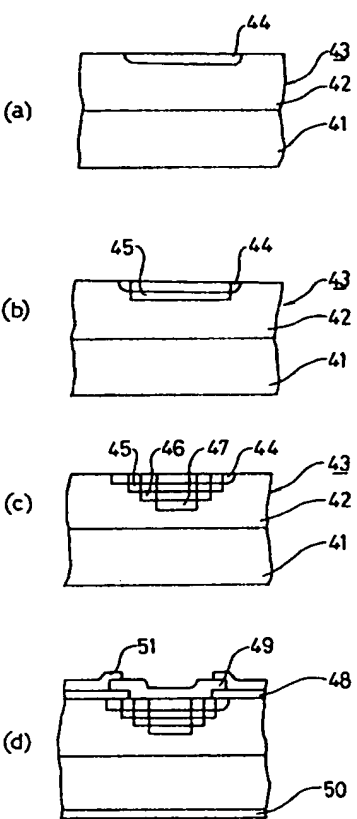
第 6 図



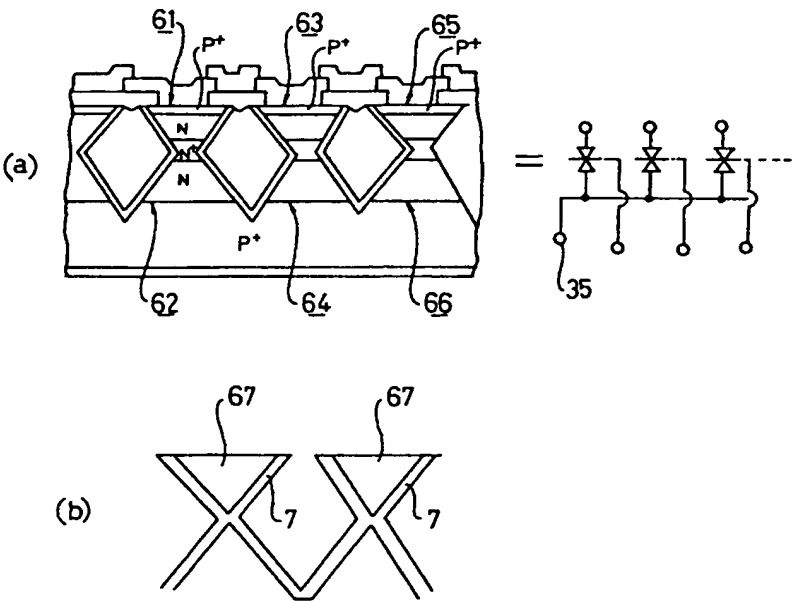
第 7 図



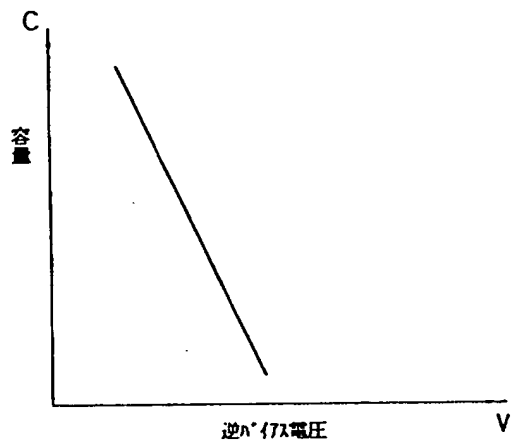
第 8 図



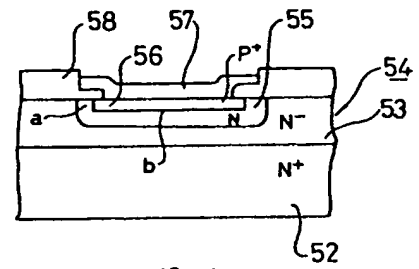
第 10 図



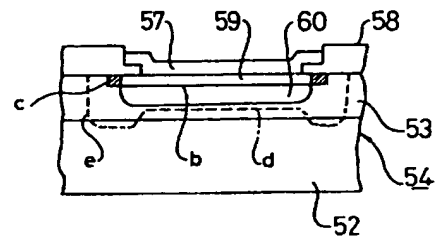
第 9 図



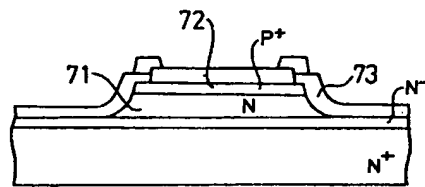
第 11 図



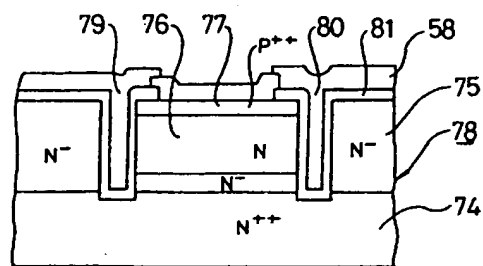
第 12 図



第 13 図



第 14 図



第 15 図